

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-201189

(43) 公開日 平成7年(1995)8月4日

(51) IntCl⁶

G 1 1 C 16/04

16/06

識別記号

庁内整理番号

F I

技術表示箇所

G 1 1 C 17/ 00

3 0 8

3 0 5

5 2 0 A

審査請求 未請求 請求項の数 4 F D (全 10 頁)

(21) 出願番号

特願平5-351867

(22) 出願日

平成5年(1993)12月28日

(71) 出願人 000006655

新日本製鐵株式会社

東京都千代田区大手町2丁目6番3号

(72) 発明者 坂間 克樹

東京都千代田区大手町2-6-3 新日本

製鐵株式会社内

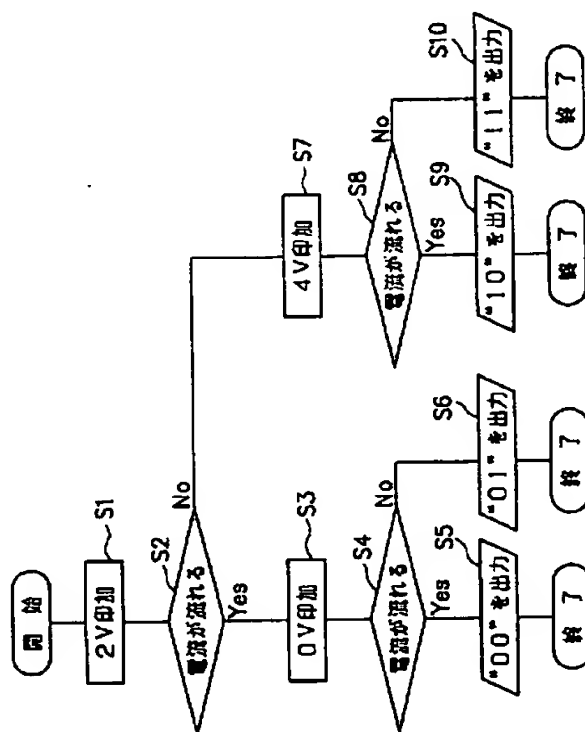
(74) 代理人 弁理士 國分 孝悦

(54) 【発明の名称】 半導体記憶装置の読み出し方法

(57) 【要約】

【目的】 1個のメモリセルに4値以上の情報を記憶させた多値メモリの各メモリセルに対する読み出し検出動作の回数を減少させる。

【構成】 -1V、1V、3V及び5Vのいずれかのしきい値を有するメモリセルのゲートに2Vを印加し (S1)、メモリセルに電流が流れるか否かを検出する (S2)。電流が流ればゲートに0Vを、流れなければゲートに4Vを印加し (S3、S7)、メモリセルに電流が流れるか否かを検出する (S4、S8)。これにより識別されたメモリセルのしきい値に応じ、“00”～“11”のいずれかのデータを出力する (S5、S6、S9、S10)。



【特許請求の範囲】

【請求項 1】 制御ゲートと電荷蓄積層とを有するメモリセルを備えた半導体記憶装置であって、上記メモリセルのしきい値を n 個 ($n \geq 4$) の異なる値の 1 つ $V_{th}(i)$ (但し、 $i = 1, 2, \dots, n$) に制御することにより、1 つのメモリセルに 4 値以上の情報を記憶させるようにした半導体記憶装置の読み出し方法において、 $n/2$ を越えない最大の整数を m_1 としたとき、上記メモリセルの上記制御ゲートに $V_{th}(m_1) \leq V_1 < V_{th}(m_1 + 1)$ の電圧 V_1 を印加して、上記メモリセルのソースドレイン間に電流が流れるか否かを検出し、上記電圧 V_1 を印加したときに電流が流れた場合には、 $n/4$ を越えない最大の整数を m_2 として、上記メモリセルの上記制御ゲートに $V_{th}(m_2) \leq V_2 < V_{th}(m_2 + 1)$ の電圧 V_2 を印加して、上記メモリセルのソースドレイン間に電流が流れるか否かを検出し、上記電圧 V_1 を印加したときに電流が流れなかった場合には、 $3n/4$ を越えない最大の整数を m_3 として、上記メモリセルの上記制御ゲートに $V_{th}(m_3) \leq V_3 < V_{th}(m_3 + 1)$ の電圧 V_3 を印加して、上記メモリセルのソースドレイン間に電流が流れるか否かを検出することを特徴とする半導体記憶装置の読み出し方法。

【請求項 2】 $n = 4$ であって、まず、上記メモリセルの上記制御ゲートに $V_{th}(2) \leq V_1 < V_{th}(3)$ の電圧 V_1 を印加して、上記メモリセルのソースドレイン間に電流が流れるか否かを検出し、上記電圧 V_1 を印加したときに電流が流れた場合には、上記メモリセルの上記制御ゲートに $V_{th}(1) \leq V_2 < V_{th}(2)$ の電圧 V_2 を印加して、上記メモリセルのソースドレイン間に電流が流れるか否かを検出し、上記電圧 V_2 を印加したときに電流が流れた場合には、上記メモリセルのしきい値が $V_{th}(1)$ であるときの記憶情報を出力し、上記電圧 V_2 を印加したときに電流が流れなかった場合には、上記メモリセルのしきい値が $V_{th}(2)$ であるときの記憶情報を出力し、上記電圧 V_1 を印加したときに電流が流れなかった場合には、上記メモリセルの上記制御ゲートに $V_{th}(3) \leq V_3 < V_{th}(4)$ の電圧 V_3 を印加して、上記メモリセルのソースドレイン間に電流が流れるか否かを検出し、上記電圧 V_3 を印加したときに電流が流れた場合には、上記メモリセルのしきい値が $V_{th}(3)$ であるときの記憶情報を出力し、上記電圧 V_3 を印加したときに電流が流れなかった場合には、上記メモリセルのしきい値が $V_{th}(4)$ であるときの記憶情報を出力することを特徴とする請求項 1 に記載の半導体記憶装置の読み出し方法。

【請求項 3】 上記電荷蓄積層が浮遊ゲートであることを特徴とする請求項 1 又は 2 に記載の半導体記憶装置の

読み出し方法。

【請求項 4】 電界効果トランジスタからなるメモリセルを備えた半導体記憶装置であって、上記メモリセルのしきい値を n 個 ($n \geq 4$) の異なる値の 1 つ $V_{th}(i)$ (但し、 $i = 1, 2, \dots, n$) に制御することにより、1 つのメモリセルに 4 値以上の情報を記憶させるようにした半導体記憶装置の読み出し方法において、 $n/2$ を越えない最大の整数を m_1 としたとき、上記メモリセルのゲートに $V_{th}(m_1) \leq V_1 < V_{th}(m_1 + 1)$ の電圧 V_1 を印加して、上記メモリセルのソースドレイン間に電流が流れるか否かを検出し、上記電圧 V_1 を印加したときに電流が流れた場合には、 $n/4$ を越えない最大の整数を m_2 として、上記メモリセルのゲートに $V_{th}(m_2) \leq V_2 < V_{th}(m_2 + 1)$ の電圧 V_2 を印加して、上記メモリセルのソースドレイン間に電流が流れるか否かを検出し、上記電圧 V_1 を印加したときに電流が流れなかった場合には、 $3n/4$ を越えない最大の整数を m_3 として、上記メモリセルのゲートに $V_{th}(m_3) \leq V_3 < V_{th}(m_3 + 1)$ の電圧 V_3 を印加して、上記メモリセルのソースドレイン間に電流が流れるか否かを検出することを特徴とする半導体記憶装置の読み出し方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、1 つのメモリセルに 4 値以上の記憶情報を記憶させた半導体記憶装置の読み出し方法に関する。

【0002】

【従来の技術】 現在実用されている半導体記憶装置では、1 つのメモリセルに“0”と“1”の 2 種類の記憶状態しか与えておらず、従って、1 つのメモリセルの記憶容量は 1 ビット (= 2 値) である。これに対し、1 つのメモリセルに“00”～“11”の 4 種類の記憶状態を与え、1 つのメモリセルに 2 ビット (= 4 値) の記憶容量を持たせた半導体記憶装置が提案されている。

【0003】 このような多値メモリを、EEPROM (Electrically Erasable Programmable Read Only Memory) の場合を例にとりて説明する。

【0004】 図 6 (a) に、代表的な EEPROM の浮遊ゲート型メモリセル 61 の概略断面図を示す。同図において、p 型シリコン基板 62 の表面領域に n 型不純物拡散層からなるドレイン 63 及びソース 64 が夫々形成され、それらの間がチャネル領域 70 となっている。また、ドレイン 63 にはビット線 65 が接続され、ソース 64 にはソース線 66 が接続されている。そして、チャネル領域 70 の上に、厚さ 10 nm 程度の SiO_2 膜からなるトンネル絶縁膜 71 が形成され、その上に低抵抗ポリシリコンからなる浮遊ゲート 67、層間絶縁膜 68 及び低抵抗ポリシリコンからなる制御ゲート (ワード線) 69 が順次形成されている。図 6 (b) に、このメ

メモリセルの結線図を示す。

【0005】このように構成されたメモリセル61に、“00”～“11”の4値のデータを書き込み、それを読み出す方法について説明する。

【0006】まず、書き込みを行う場合について説明する。例えば、メモリセル61にデータ“11”を書き込む場合、ビット線65を接地し、ソース線66を開放し、制御ゲート69に10～15V程度のパルス電圧を印加する。これにより、浮遊ゲート67に電位が誘起され、この浮遊ゲート67とドレイン63との電位差に応じ、ファウラーノードハイムトンネリングにより、浮遊ゲート67に所定量の電荷が注入される。そして、メモリセル61のしきい値は5V程度に上昇する。この状態を“11”とする。また、メモリセルにデータ“10”、“01”又は“00”を書き込む場合には、ビット線65に印加する電圧をそれぞれ1V、2V又は3Vとし、他は上と同じにすることにより、メモリセル61のしきい値をそれぞれ3V、1V、-1Vとすることができる。

【0007】次に、読み出しを行う場合について説明する。一般に、電界効果トランジスタ(FET)は、ソース又はドレインに電圧が印加されたとき、ゲート電極に印加された電圧がしきい値以上であればソースドレイン間に電流が流れるが、ゲート電極に印加された電圧がしきい値以下であればソースドレイン間に電流が流れないという特性を有している。読み出しは、FETのこの性質を利用して実行される。

【0008】例えば、ビット線65に1Vの電圧を印加するとともにソース線66を0Vにする。そして、この状態で、制御ゲート69に0V、2V、4Vの電圧を順に印加する。そして、制御ゲート69に0Vを印加したときにソースドレイン間に電流が流れたならば、メモリセル61のしきい値は-1Vであると分かり、“00”のデータが読み出される。一方、0Vでは電流が流れなかったが、2Vで電流が流れた場合は、メモリセル61のしきい値は1Vであるので、“01”のデータが読み出される。更に、0Vと2Vでは電流が流れず、4Vのときに初めて電流が流れた場合には、メモリセル61のしきい値は3Vであり、“10”のデータが読み出される。更に、制御ゲート69に印加したすべての電圧でソースドレイン間に電流が流れなかった場合には、メモリセル61のしきい値は5Vであるので、“11”のデータが読み出される。

【0009】以上に説明した例では、1つのメモリセルに4値即ち2ビットの情報を記憶させたが、更に多値の情報を記憶させることも研究されている。

【0010】

【発明が解決しようとする課題】しかし、上述したような多値メモリでは、1つのメモリセルに対する読み出し動作の回数が多くなるという問題があった。

【0011】例えば、1つのメモリセルに4値を記憶させた場合には、上述したように、従来、常に、0V、2V、4Vでの3回の読み出し検出動作が必要であった。実際には、0V→2V→4Vと階段状に変化する電圧を印加して読み出し検出を行うのであるが、読み出し検出動作が3回必要であることには変わらない。

【0012】一般に、1つのメモリセルにn値($n \geq 2$)を記憶させた場合、従来の読み出し方法では、($n-1$)回の読み出し検出動作が必要である。ビット数で表現すると、1つのメモリセルにnビット($n \geq 1$)を記憶させた場合、従来の読み出し方法では、($2^n - 1$)回の読み出し検出動作が必要である。

【0013】そこで、本発明の目的は、多値メモリの読み出し検出動作の回数を減少させて、読み出し時のアクセス時間を短縮することができる半導体記憶装置の読み出し方法を提供することである。

【0014】

【課題を解決するための手段】上記課題を解決するために、本発明では、制御ゲートと電荷蓄積層とを有するメモリセルを備えた半導体記憶装置であって、上記メモリセルのしきい値をn個($n \geq 4$)の異なる値の1つ V_{th} (i)(但し、 $i = 1, 2, \dots, n$)に制御することにより、1つのメモリセルに4値以上の情報を記憶させるようにした半導体記憶装置の読み出し方法において、 $n/2$ を越えない最大の整数を m_1 としたとき、上記メモリセルの上記制御ゲートに $V_{th}(m_1) \leq V_1 < V_{th}(m_1 + 1)$ の電圧 V_1 を印加して、上記メモリセルのソースドレイン間に電流が流れるか否かを検出し、上記電圧 V_1 を印加したときに電流が流れた場合には、 $n/4$ を越えない最大の整数を m_2 として、上記メモリセルの上記制御ゲートに $V_{th}(m_2) \leq V_2 < V_{th}(m_2 + 1)$ の電圧 V_2 を印加して、上記メモリセルのソースドレイン間に電流が流れるか否かを検出し、上記電圧 V_1 を印加したときに電流が流れなかった場合には、 $3n/4$ を越えない最大の整数を m_3 として、上記メモリセルの上記制御ゲートに $V_{th}(m_3) \leq V_3 < V_{th}(m_3 + 1)$ の電圧 V_3 を印加して、上記メモリセルのソースドレイン間に電流が流れるか否かを検出する。

【0015】本発明の一態様では、 $n = 4$ であって、まず、上記メモリセルの上記制御ゲートに $V_{th}(2) \leq V_1 < V_{th}(3)$ の電圧 V_1 を印加して、上記メモリセルのソースドレイン間に電流が流れるか否かを検出し、上記電圧 V_1 を印加したときに電流が流れた場合には、上記メモリセルの上記制御ゲートに $V_{th}(1) \leq V_2 < V_{th}(2)$ の電圧 V_2 を印加して、上記メモリセルのソースドレイン間に電流が流れるか否かを検出し、上記電圧 V_2 を印加したときに電流が流れた場合には、上記メモリセルのしきい値が $V_{th}(1)$ であるときの記憶情報を出力し、上記電圧 V_2 を印加したときに電流が流れ

なかった場合には、上記メモリセルのしきい値が $V_{th}(2)$ であるときの記憶情報を出力し、上記電圧 V_1 を印加したときに電流が流れなかった場合には、上記メモリセルの上記制御ゲートに $V_{th}(3) \leq V_3 < V_{th}(4)$ の電圧 V_3 を印加して、上記メモリセルのソースドレイン間に電流が流れるか否かを検出し、上記電圧 V_3 を印加したときに電流が流れた場合には、上記メモリセルのしきい値が $V_{th}(3)$ であるときの記憶情報を出力し、上記電圧 V_3 を印加したときに電流が流れなかった場合には、上記メモリセルのしきい値が $V_{th}(4)$ であるときの記憶情報を出力する。

【0016】本発明の一態様では、上記電荷蓄積層が浮遊ゲートである。

【0017】本発明の一態様では、電界効果トランジスタからなるメモリセルを備えた半導体記憶装置であって、上記メモリセルのしきい値を n 個 ($n \geq 4$) の異なる値の1つ $V_{th}(i)$ (但し、 $i = 1, 2, \dots, n$) に制御することにより、1つのメモリセルに4値以上の情報を記憶させるようにした半導体記憶装置の読み出し方法において、 $n/2$ を越えない最大の整数を m_1 としたとき、上記メモリセルのゲートに $V_{th}(m_1) \leq V_1 < V_{th}(m_1 + 1)$ の電圧 V_1 を印加して、上記メモリセルのソースドレイン間に電流が流れるか否かを検出し、上記電圧 V_1 を印加したときに電流が流れた場合には、 $n/4$ を越えない最大の整数を m_2 として、上記メモリセルのゲートに $V_{th}(m_2) \leq V_2 < V_{th}(m_2 + 1)$ の電圧 V_2 を印加して、上記メモリセルのソースドレイン間に電流が流れるか否かを検出し、上記電圧 V_1 を印加したときに電流が流れなかった場合には、 $3n/4$ を越えない最大の整数を m_3 として、上記メモリセルのゲートに $V_{th}(m_3) \leq V_3 < V_{th}(m_3 + 1)$ の電圧 V_3 を印加して、上記メモリセルのソースドレイン間に電流が流れるか否かを検出する。

【0018】

【作用】本発明の半導体記憶装置の読み出し方法においては、まず、各メモリセルがとり得る記憶状態の集合を2つの部分集合に分け、現在の記憶状態がそのいずれの部分集合に属しているかを検出する。そして、現在の記憶状態が属している部分集合に対し、同様の手順を実行する。以下、同様にして、最終的に現在の記憶状態を読み出す。

【0019】具体的には、各メモリセルが n 個のしきい値 $V_{th}(1) \sim V_{th}(n)$ をとり得るとき、 $n/2$ を越えない最大の整数を m_1 として、読み出したいメモリセルの制御ゲートに、まず、 $V_{th}(m_1) \leq V_1 < V_{th}(m_1 + 1)$ の電圧 V_1 を印加する。そして、この電圧 V_1 を印加した状態でメモリセルの読み出し検出を行い、メモリセルが導通するか否かを検出する。このとき、メモリセルが導通した場合には、そのメモリセルのしきい値は $V_{th}(1) \sim V_{th}(m_1)$ のいずれかである

ので、次に、 $n/4$ を越えない最大の整数を m_2 として、そのメモリセルの制御ゲートに $V_{th}(m_2) \leq V_2 < V_{th}(m_2 + 1)$ の電圧 V_2 を印加し、その導通状態を検出する。一方、電圧 V_1 を印加したときに導通しなかった場合には、そのメモリセルのしきい値は $V_{th}(m_1 + 1) \sim V_{th}(n)$ のいずれかであるので、次に、 $3n/4$ を越えない最大の整数を m_3 として、そのメモリセルの制御ゲートに $V_{th}(m_3) \leq V_3 < V_{th}(m_3 + 1)$ の電圧 V_3 を印加して、導通状態を検出する。以下、同様の手順を繰り返して、最終的にそのメモリセルのしきい値を検出する。

【0020】従って、本発明の方法によれば、読み出したいメモリセルのしきい値が $V_{th}(1) \sim V_{th}(m_1)$ のいずれかであることが分かった時点で、 $V_{th}(m_1 + 1)$ より大きな電圧を印加した読み出し検出を行う必要がなくなる。一方、読み出したいメモリセルのしきい値が $V_{th}(m_1 + 1) \sim V_{th}(n)$ のいずれかであることが分かると、 $V_{th}(m_1)$ より小さな電圧を印加した読み出し検出を行う必要がなくなる。これにより、必要な読み出し検出動作の回数が減少する。

【0021】即ち、本発明の方法においては、読み出し検出した結果に応じて次に印加する電圧を決めるので、読み出し検出動作の回数の低減が可能となる。

【0022】

【実施例】以下、本発明の実施例を図面を参照して説明する。

【0023】まず、本発明を適用した多値記憶EEPROMの主要構成を図2に示す。同図において、メモリセルアレイ1は、複数のメモリセルがマトリクス状に配置されたものである。メモリセルアレイ1を構成する各メモリセルは、図6に示したと同じ浮遊ゲート型のメモリセルであり、その制御ゲートはワード線に、ドレインはビット線に、ソースは共通のソース線にそれぞれ接続されている。また、ワード線はメモリセルアレイ1の列方向に並んでデコーダ2にそれぞれ接続され、一方、ビット線は行方向に並んでマルチプレクサ4にそれぞれ接続されている。ソース線は接地されている。

【0024】読み出し動作時には、まず、外部から入力I/F7を介してアドレス信号を信号制御回路6に入力する。信号制御回路6は、入力されたアドレス信号に応じて、選択すべきワード線とビット線を判断し、デコーダ2及びマルチプレクサ4にその結果を命令する。この命令に応じて、デコーダ2はワード線を、マルチプレクサ4はビット線をそれぞれ選択する。また、信号制御回路6は、選択されたメモリセルの制御ゲートに印加すべき電圧の大きさを判断し、電圧制御回路3にその結果を命令する。電圧制御回路3は、デコーダ2を介して、選択されたワード線に所定の電圧を印加する。一方、選択されたビット線には、マルチプレクサ4により所定の電圧が印加される。そして、選択メモリセルのしきい値の

状態によって選択ビット線に電流が流れるか否かが決まる。この選択ビット線の電流の状態は、マルチプレクサ4からセンスアンプ5に伝達される。センスアンプ5は、選択ビット線の電流の有無を検出し、その結果を信号制御回路6に伝達する。信号制御回路6は、センスアンプ5での検出結果に基づき、選択メモリセルの制御ゲートに次に印加する電圧を決定して、その結果を電圧制御回路3に命令する。また、信号制御回路6は、以上の手順を繰り返して最終的に得られた選択メモリセルの記憶データを出力I/F8を介して出力する。

【0025】図1に、本発明の第1の実施例による読み出し方法のフローチャートを示す。本実施例では、各メモリセルが、-1V、1V、3V及び5Vのいずれかのしきい値をとる。即ち、各メモリセルが2ビット(=4値)の記憶容量を持つ。

【0026】信号制御回路6は、まず、選択されたメモリセルの制御ゲートに2Vの電圧を印加するように電圧制御回路3に命令する。このとき、ドレインには5Vの電圧が印加されている(ステップS1)。

【0027】そして、選択メモリセルのドレインソース間に電流が流れるか否かを、選択ビット線及びセンスアンプ5を通じて検出する(ステップS2)。

【0028】ステップS2において、選択メモリセルのドレインソース間に電流が流れた場合、即ち、選択メモリセルが導通した場合には、そのメモリセルのしきい値は-1Vと1Vのいずれかであるので、信号制御回路6は、次に、選択メモリセルの制御ゲートに0Vの電圧を印加するように電圧制御回路3に命令する(ステップS3)。

【0029】そして、選択メモリセルのドレインソース間に電流が流れるか否かを検出し(ステップS4)、電流が流れた場合には、そのメモリセルのしきい値は-1Vであるので、そのメモリセルの記憶データとして“00”を出力I/F8を介して出力する(ステップS5)。一方、ステップS4において、電流が流れなかった場合には、そのメモリセルのしきい値は1Vであるので、そのメモリセルの記憶データとして“01”を出力する(ステップS6)。

【0030】ステップS2において、選択メモリセルのドレインソース間に電流が流れなかった場合には、そのメモリセルのしきい値は3Vと5Vのいずれかであるので、信号制御回路6は、次に、選択メモリセルの制御ゲートに4Vの電圧を印加するように電圧制御回路3に命令する(ステップS7)。

【0031】そして、選択メモリセルのドレインソース間に電流が流れるか否かを検出し(ステップS8)、電流が流れた場合には、そのメモリセルのしきい値は3Vであるので、そのメモリセルの記憶データとして“10”を出力I/F8を介して出力する(ステップS9)。一方、ステップS8において、電流が流れなかつ

た場合には、そのメモリセルのしきい値は5Vであるので、そのメモリセルの記憶データとして“11”を出力する(ステップS10)。

【0032】以上のように、本実施例の読み出し方法によれば、2ビットの記憶容量を持つ1つのメモリセルの読み出しを2回の読み出し検出動作で行うことができる。従来の方法では、0V、2V、4Vの全ての電圧を印加して3回の読み出し検出動作を行わなければならなかったもので、本実施例の方法により、必要な読み出し検出動作の回数が減少する。そして、これにより、アクセス時間を短縮することができる。

【0033】次に、本発明の第2の実施例を図3を参照して説明する。本実施例では、各メモリセルが、-1V、0V、1V、2V、3V、4V、5V及び6Vのいずれかのしきい値をとる。即ち、各メモリセルが3ビット(=8値)の記憶容量を持つ。

【0034】信号制御回路6は、まず、選択されたメモリセルの制御ゲートに2.5Vの電圧を印加するように電圧制御回路3に命令する。このとき、ドレインには5Vの電圧が印加されている(ステップS31)。

【0035】そして、選択メモリセルのドレインソース間に電流が流れるか否かを、選択ビット線及びセンスアンプ5を通じて検出する(ステップS32)。

【0036】ステップS32において、選択メモリセルのドレインソース間に電流が流れた場合、即ち、選択メモリセルが導通した場合には、そのメモリセルのしきい値は-1V~2Vのいずれかであるので、信号制御回路6は、次に、選択メモリセルの制御ゲートに0.5Vの電圧を印加するように電圧制御回路3に命令する(ステップS33)。

【0037】そして、選択メモリセルのドレインソース間に電流が流れるか否かを検出する(ステップS34)。

【0038】ステップS34において、選択メモリセルのドレインソース間に電流が流れた場合には、そのメモリセルのしきい値は-1Vと0Vのいずれかであるので、信号制御回路6は、次に、選択メモリセルの制御ゲートに-0.5Vの電圧を印加するように電圧制御回路3に命令する(ステップS35)。

【0039】そして、選択メモリセルのドレインソース間に電流が流れるか否かを検出し(ステップS36)、電流が流れた場合には、そのメモリセルのしきい値は-1Vであるので、そのメモリセルの記憶データとして“000”を出力I/F8を介して出力する(ステップS37)。一方、ステップS36において、電流が流れなかった場合には、そのメモリセルのしきい値は0Vであるので、そのメモリセルの記憶データとして“001”を出力する(ステップS38)。

【0040】ステップS34において、選択メモリセルのドレインソース間に電流が流れなかった場合には、

そのメモリセルのしきい値は1 Vと2 Vのいずれかであるので、信号制御回路6は、次に、選択メモリセルの制御ゲートに1.5 Vの電圧を印加するように電圧制御回路3に命令する(ステップS 39)。

【0041】そして、選択メモリセルのドレインソース間に電流が流れるか否かを検出し(ステップS 40)、電流が流れた場合には、そのメモリセルのしきい値は1 Vであるので、そのメモリセルの記憶データとして“010”を出力I/F 8を介して出力する(ステップS 41)。一方、ステップS 40において、電流が流れなかった場合には、そのメモリセルのしきい値は2 Vであるので、そのメモリセルの記憶データとして“011”を出力する(ステップS 42)。

【0042】ステップS 32において、選択メモリセルのドレインソース間に電流が流れなかった場合には、そのメモリセルのしきい値は3 V~6 Vのいずれかであるので、信号制御回路6は、次に、選択メモリセルの制御ゲートに4.5 Vの電圧を印加するように電圧制御回路3に命令する(ステップS 43)。

【0043】そして、選択メモリセルのドレインソース間に電流が流れるか否かを検出する(ステップS 44)。

【0044】ステップS 44において、選択メモリセルのドレインソース間に電流が流れた場合には、そのメモリセルのしきい値は3 Vと4 Vのいずれかであるので、信号制御回路6は、次に、選択メモリセルの制御ゲートに3.5 Vの電圧を印加するように電圧制御回路3に命令する(ステップS 45)。

【0045】そして、選択メモリセルのドレインソース間に電流が流れるか否かを検出し(ステップS 46)、電流が流れた場合には、そのメモリセルのしきい値は3 Vであるので、そのメモリセルの記憶データとして“100”を出力I/F 8を介して出力する(ステップS 47)。一方、ステップS 46において、電流が流れなかった場合には、そのメモリセルのしきい値は4 Vであるので、そのメモリセルの記憶データとして“101”を出力する(ステップS 48)。

【0046】ステップS 44において、選択メモリセルのドレインソース間に電流が流れなかった場合には、そのメモリセルのしきい値は5 Vと6 Vのいずれかであるので、信号制御回路6は、次に、選択メモリセルの制御ゲートに5.5 Vの電圧を印加するように電圧制御回路3に命令する(ステップS 49)。

【0047】そして、選択メモリセルのドレインソース間に電流が流れるか否かを検出し(ステップS 50)、電流が流れた場合には、そのメモリセルのしきい値は5 Vであるので、そのメモリセルの記憶データとして“110”を出力I/F 8を介して出力する(ステップS 51)。一方、ステップS 50において、電流が流れなかった場合には、そのメモリセルのしきい値は6 V

であるので、そのメモリセルの記憶データとして“111”を出力する(ステップS 52)。

【0048】以上のように、本実施例の読み出し方法によれば、3ビットの記憶容量を持つ1つのメモリセルの読み出しを3回の読み出し検出動作で行うことができる。従来の方法では、7回の読み出し検出動作を行わなければならなかったもので、本実施例の方法により、必要な読み出し検出動作の回数が大幅に減少する。そして、これにより、アクセス時間を大幅に短縮することができる。

【0049】次に、本発明の第3の実施例を図4及び図5を参照して説明する。

【0050】図4に示すように、本実施例では、各々が2ビットの記憶容量を持つ2個のメモリセル41、42を直列接続したNAND型ブロックからの読み出しを行う。各メモリセルは、-1 V、1 V、3 V及び5 Vのしきい値をとる。本実施例の場合、メモリセル41が上位2ビット、メモリセル42が下位2ビットをそれぞれ記憶し、両方で4ビットの情報を記憶するようになっている。

【0051】図5に、読み出しのフローチャートを示すが、メモリセル41に記憶された上位2ビットの情報を読み出すために、非選択のメモリセル42のゲートに6 Vを印加し(ステップS 60)、しきい値が-1 V、1 V、3 V及び5 Vのいずれであってもメモリセル42が導通状態になるようにする。

【0052】この状態で選択メモリセル41を読み出す方法は、上記第1実施例で述べたのと同様である。即ち、選択メモリセル41の制御ゲートに2 Vの電圧を印加し(ステップS 61)、選択メモリセル41が導通するか否かを、ビット線に電流が流れるか否かをセンスアンプ5により検出することで検出する(ステップS 62)。

【0053】ステップS 62において、選択メモリセル41が導通した場合には、選択メモリセル41のしきい値は-1 Vと1 Vのいずれかであるので、次に、選択メモリセル41の制御ゲートに0 Vの電圧を印加し(ステップS 63)、選択メモリセル41が導通するか否かを検出する(ステップS 64)。ステップS 64で選択メモリセル41が導通した場合には、選択メモリセル41のしきい値は-1 Vであるので、上位ビットデータとして“00”を出力する(ステップS 65)。一方、ステップS 64で選択メモリセル41が導通しなかった場合には、選択メモリセル41のしきい値は1 Vであるので、上位ビットデータとして“01”を出力する(ステップS 66)。

【0054】ステップS 62において、選択メモリセル41が導通しなかった場合には、選択メモリセル41のしきい値は3 Vと5 Vのいずれかであるので、次に、選択メモリセル41の制御ゲートに4 Vの電圧を印加し

(ステップS67)、選択メモリセル41が導通するか否かを検出する(ステップS68)。ステップS68で選択メモリセル41が導通した場合には、選択メモリセル41のしきい値は3Vであるので、上位ビットデータとして“10”を出力する(ステップS69)。一方、ステップS68で選択メモリセル41が導通しなかった場合には、選択メモリセル41のしきい値は5Vであるので、上位ビットデータとして“11”を出力する(ステップS70)。

【0055】次に、メモリセル42に記憶された下位2ビットの情報を読み出す。そのために、非選択メモリセル41のゲートに6Vを印加し(ステップS71)、非選択メモリセル41を導通状態にする。

【0056】そして、選択メモリセル42の制御ゲートに2Vの電圧を印加し(ステップS72)、選択メモリセル42が導通するか否かを、ビット線に電流が流れるか否かをセンスアンプ5により検出することで検出する(ステップS73)。

【0057】ステップS73において、選択メモリセル42が導通した場合には、選択メモリセル42のしきい値は-1Vと1Vのいずれかであるので、次に、選択メモリセル42の制御ゲートに0Vの電圧を印加し(ステップS74)、選択メモリセル42が導通するか否かを検出する(ステップS75)。ステップS75で選択メモリセル42が導通した場合には、選択メモリセル42のしきい値は-1Vであるので、下位ビットデータとして“00”を出力する(ステップS76)。一方、ステップS75で選択メモリセル42が導通しなかった場合には、選択メモリセル42のしきい値は1Vであるので、下位ビットデータとして“01”を出力する(ステップS77)。

【0058】ステップS73において、選択メモリセル42が導通しなかった場合には、選択メモリセル42のしきい値は3Vと5Vのいずれかであるので、次に、選択メモリセル42の制御ゲートに4Vの電圧を印加し(ステップS78)、選択メモリセル42が導通するか否かを検出する(ステップS79)。ステップS79で選択メモリセル42が導通した場合には、選択メモリセル42のしきい値は3Vであるので、下位ビットデータとして“10”を出力する(ステップS80)。一方、ステップS79で選択メモリセル42が導通しなかった場合には、選択メモリセル42のしきい値は5Vであるので、下位ビットデータとして“11”を出力する(ステップS81)。

【0059】以上のように、本実施例の読み出し方法によれば、2個のメモリセルに記憶された4ビットのデー

タを4回の読み出し検出動作で読み出すことができる。

【0060】以上、本発明を浮遊ゲート型のメモリセルを有するEEPROMに多値記憶を行わせた場合を例にとって説明したが、多値記憶を行わせるメモリセルとしては、浮遊ゲート型のものに限らず、MNOS型のものでも良い。

【0061】また、本発明は、EEPROM以外にも、EPROMやPROMに多値記憶を行わせた場合の読み出し方法、更には、例えば、電界効果トランジスタのチャネル領域にイオン注入する不純物の量を制御することによりしきい値を変化させて記憶状態を得るマスクROMに多値記憶を行わせた場合の読み出し方法にも適用が可能である。

【0062】更に、上述の実施例では、1個のメモリセルに2ビット又は3ビットの記憶容量を持たせたが、本発明は1個のメモリセルに4値(2ビット)以上の記憶容量を持たせた全ての場合に適用が可能であり、特に、記憶容量が大きいほど効果的である。

【0063】

【発明の効果】本発明の読み出し方法によれば、1個のメモリセルに4値以上の記憶容量を持たせた半導体記憶装置の各メモリセルに対する読み出し検出動作の回数が減少し、アクセス時間を短縮することができる。

【図面の簡単な説明】

【図1】本発明の第1実施例による読み出し方法のフローチャートである。

【図2】本発明の実施例に用いるEEPROMの主要構成を示すブロック図である。

【図3】本発明の第2実施例による読み出し方法のフローチャートである。

【図4】2個のメモリセルを直列接続したNAND型ブロックを示す概略結線図である。

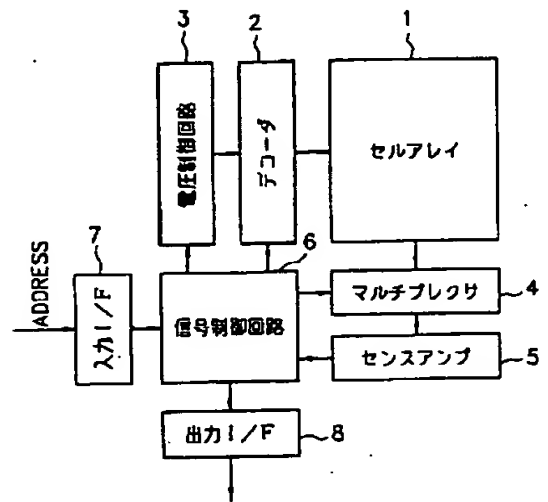
【図5】本発明の第3実施例による読み出し方法のフローチャートである。

【図6】浮遊ゲート型メモリセルの概略断面図及び結線図である。

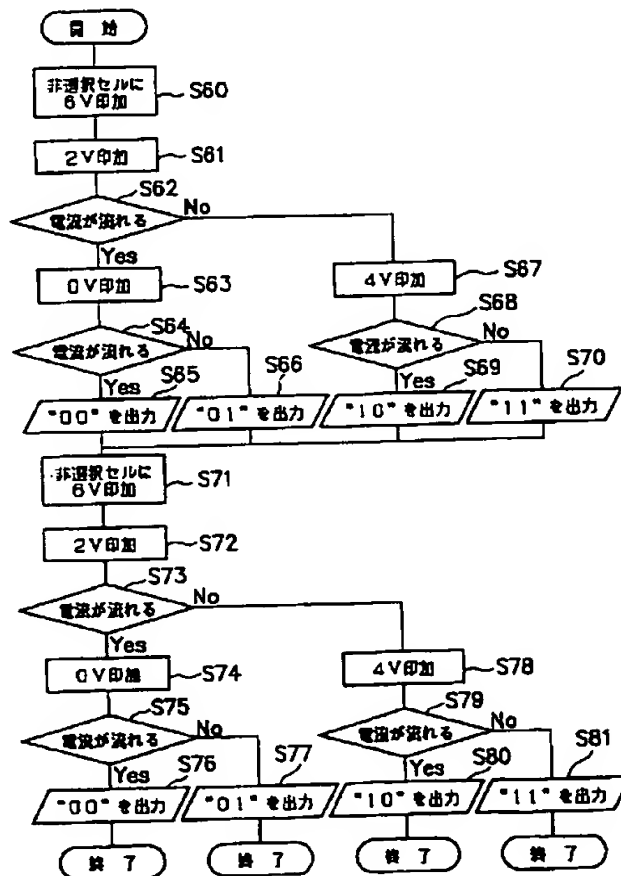
【符号の説明】

- 1 メモリセルアレイ
- 2 デコーダ
- 3 電圧制御回路
- 4 マルチプレクサ
- 5 センスアンプ
- 6 信号制御回路
- 7 入力I/F
- 8 出力I/F

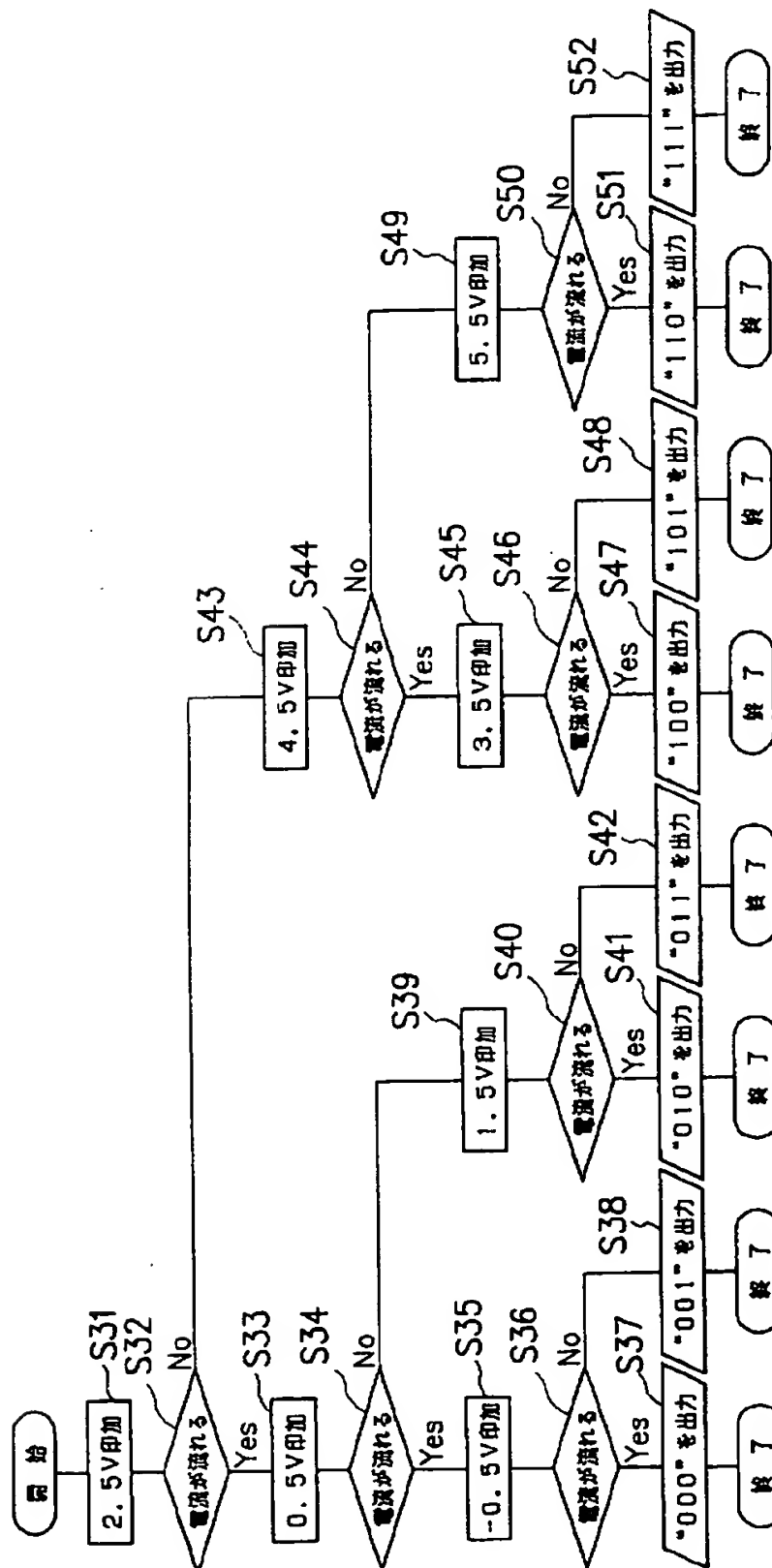
【图2】



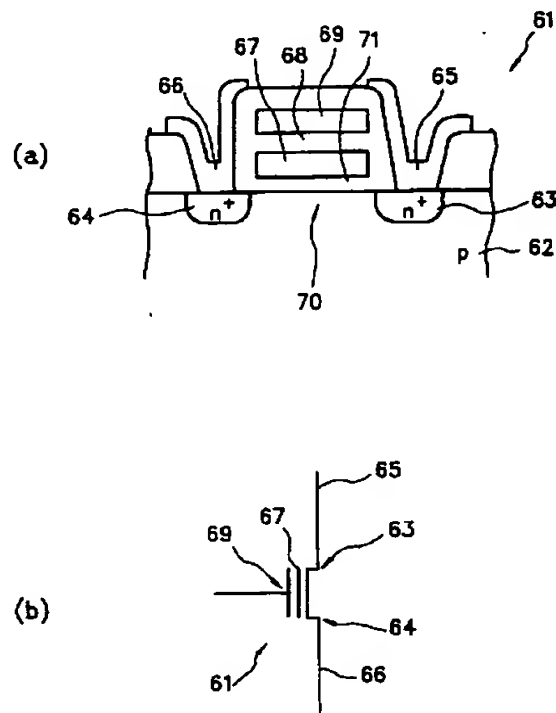
【图 5】



【図3】



【図6】



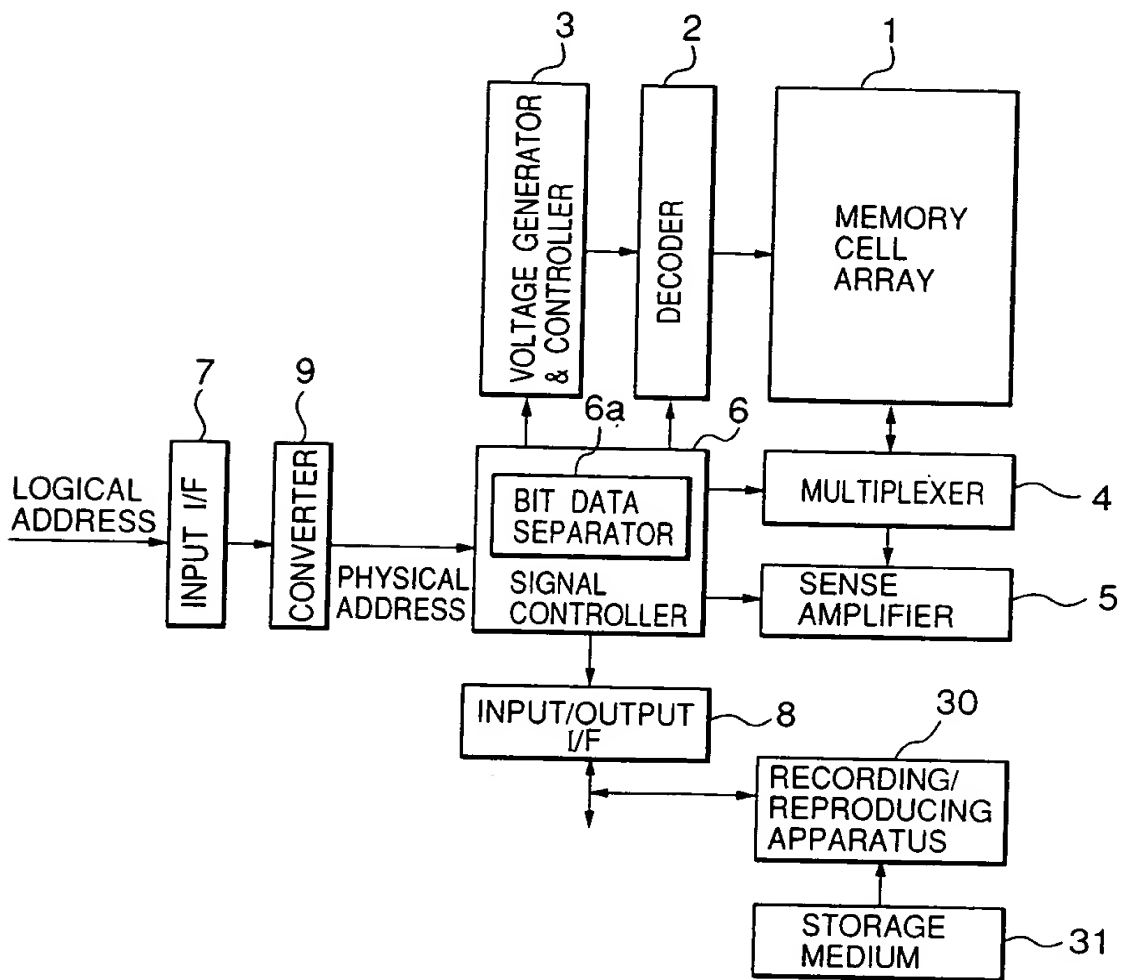


FIG.1

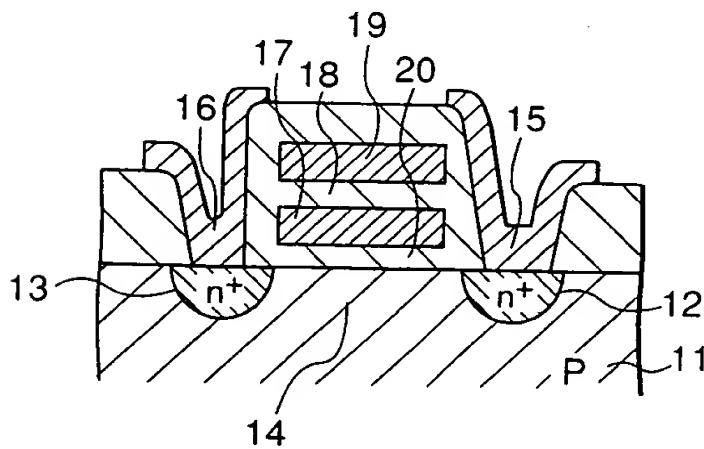


FIG.2

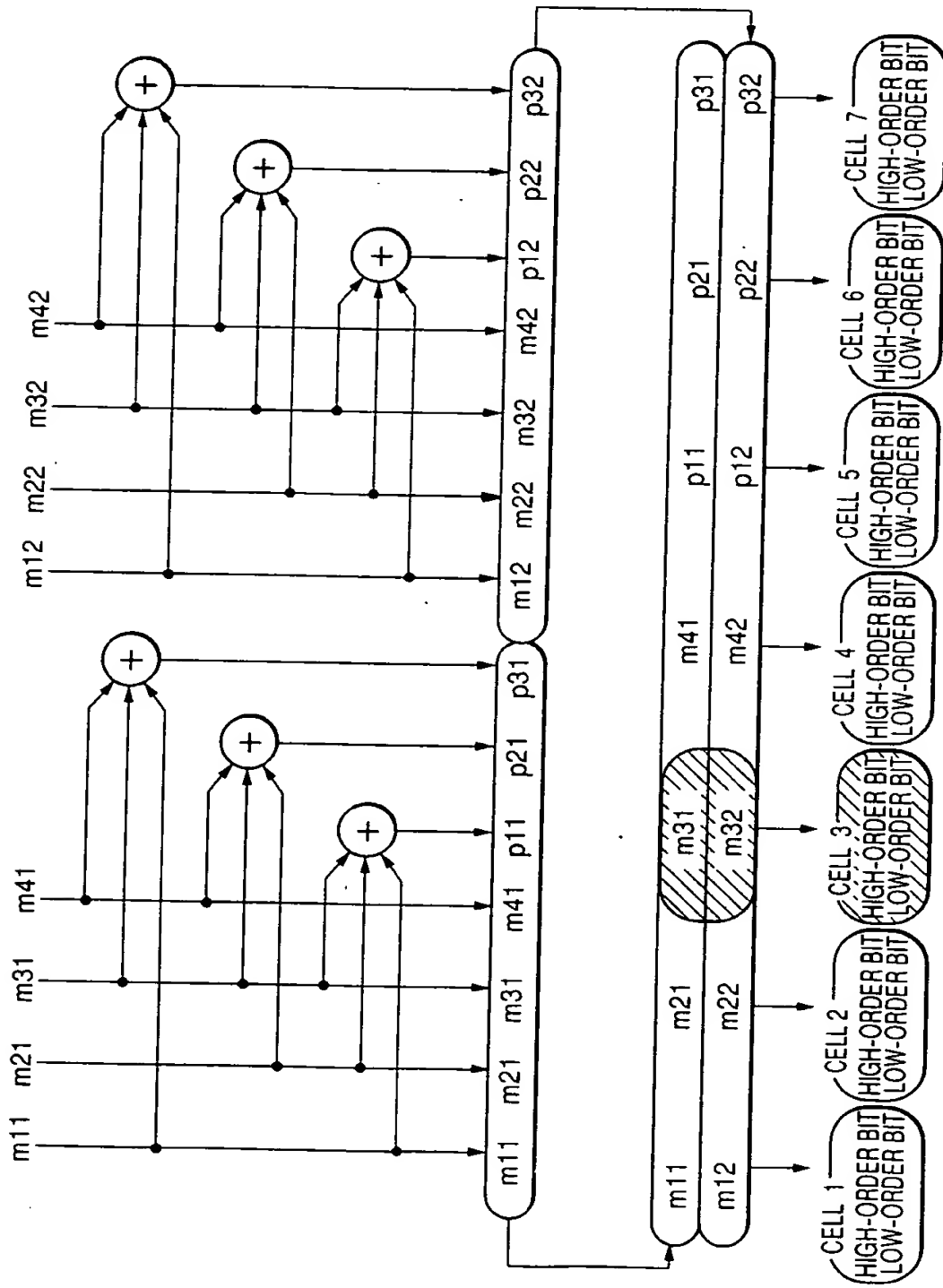


FIG.3

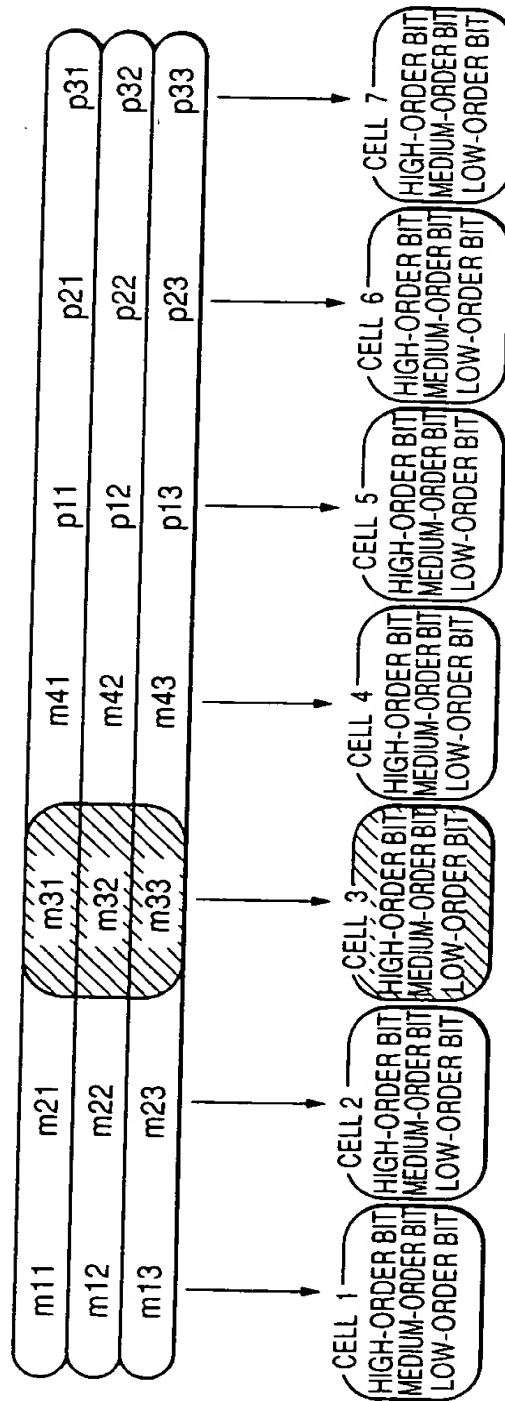


FIG.4

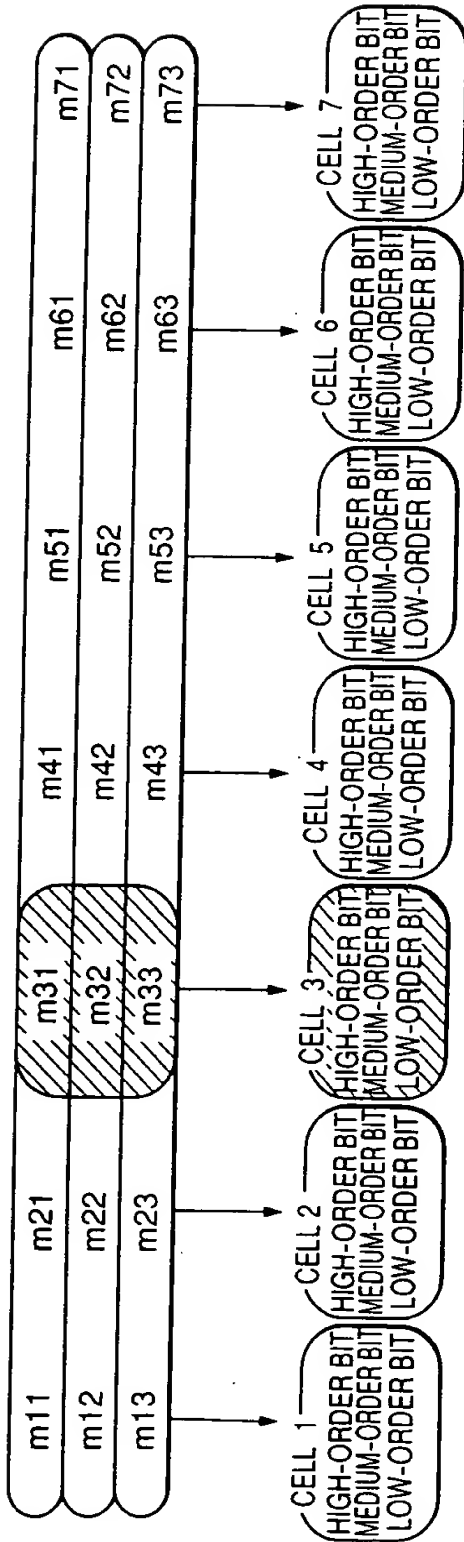


FIG. 5A

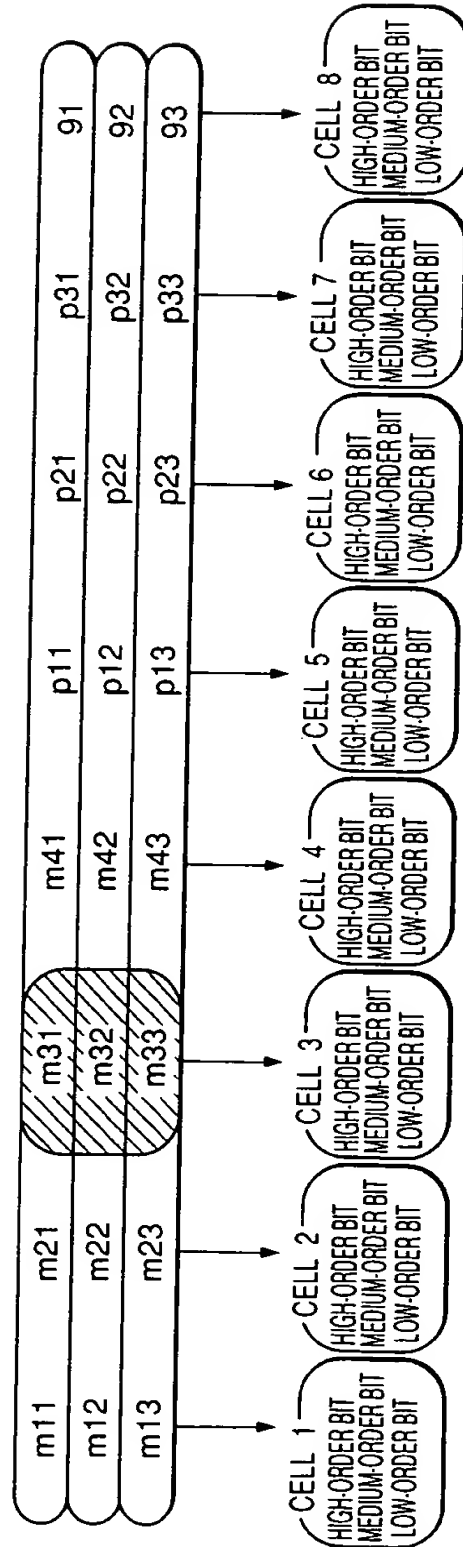


FIG. 5B

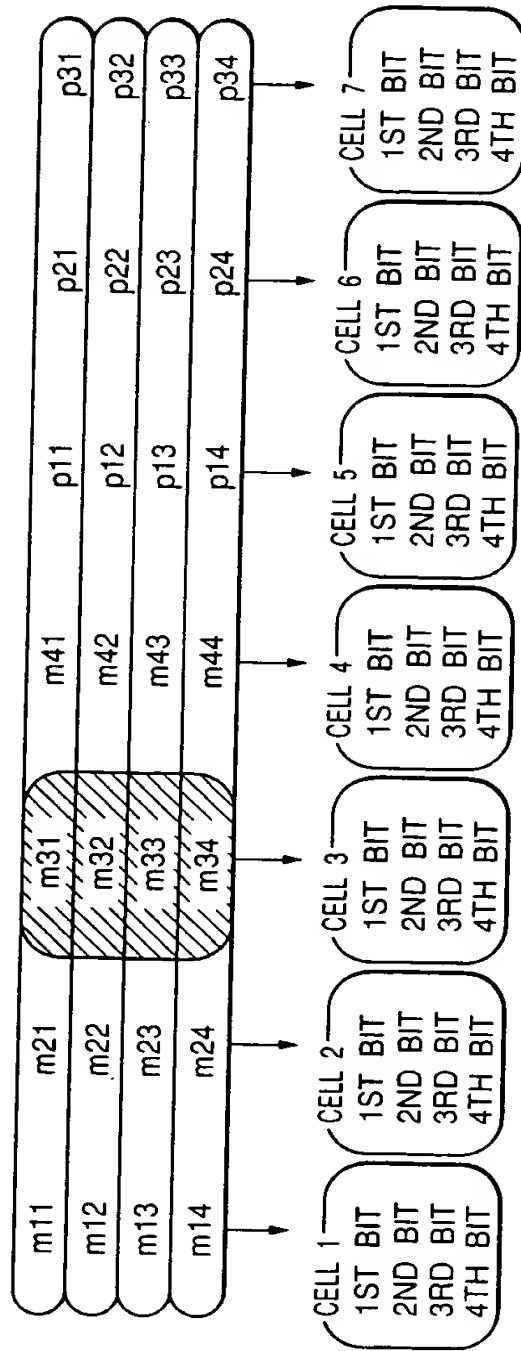


FIG.6

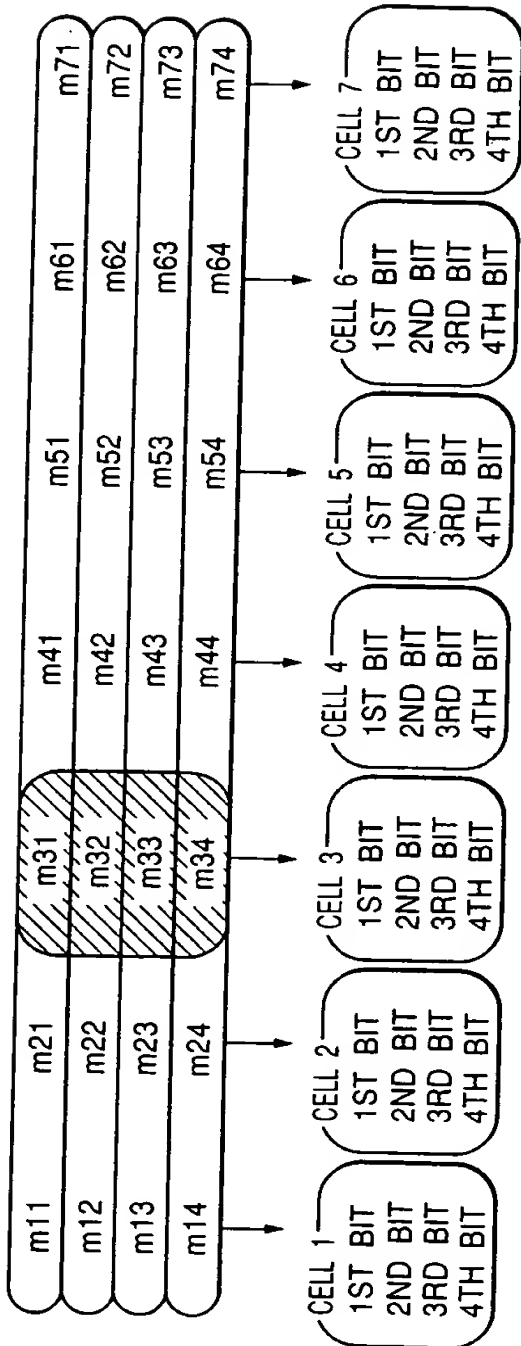


FIG. 7A

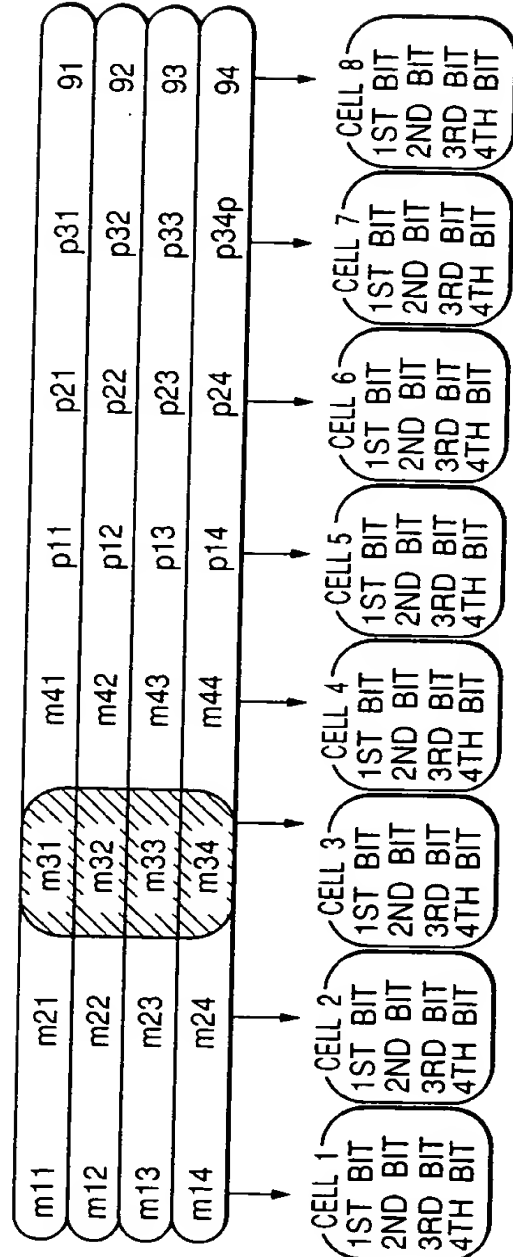


FIG. 7B

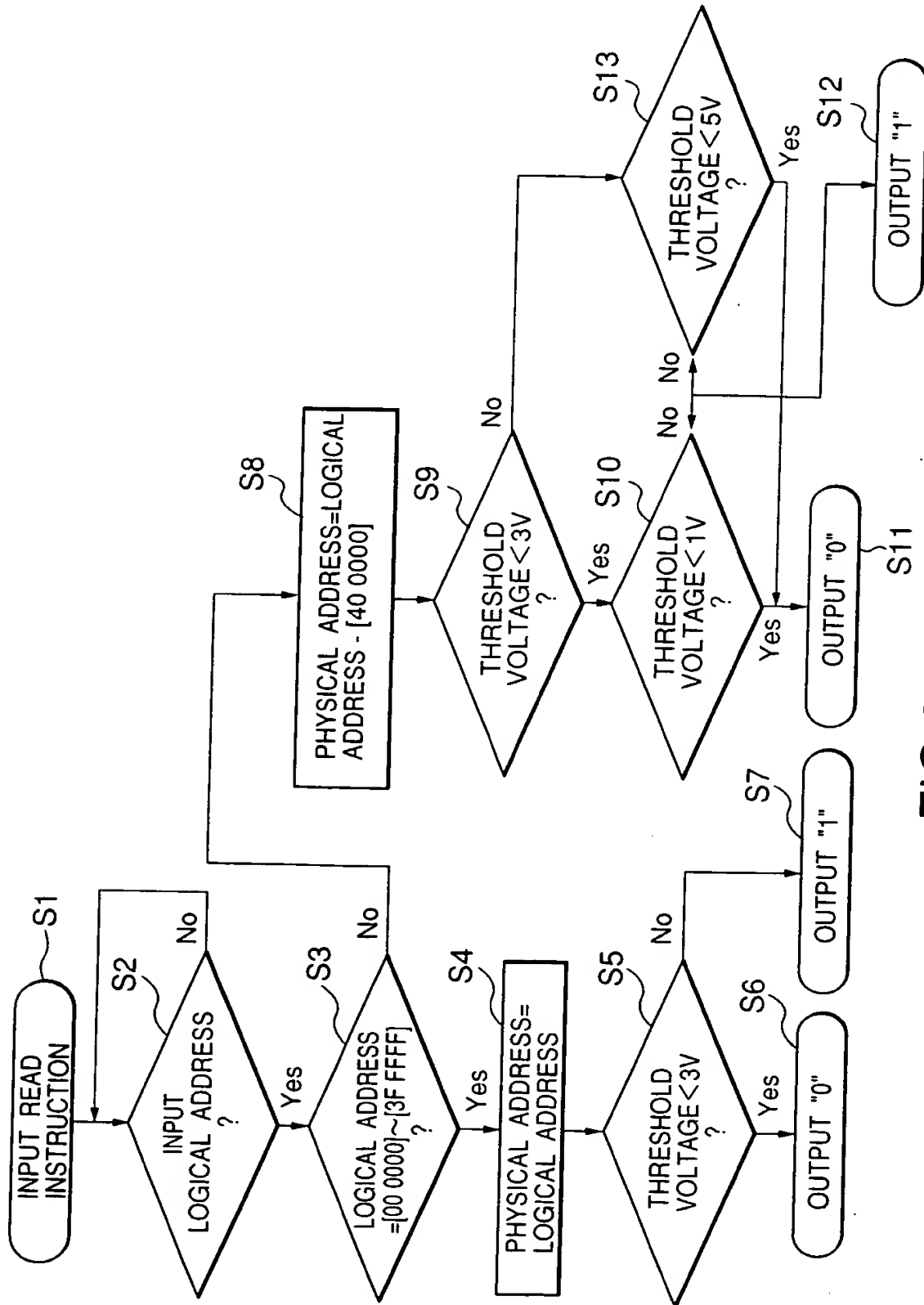


FIG. 8

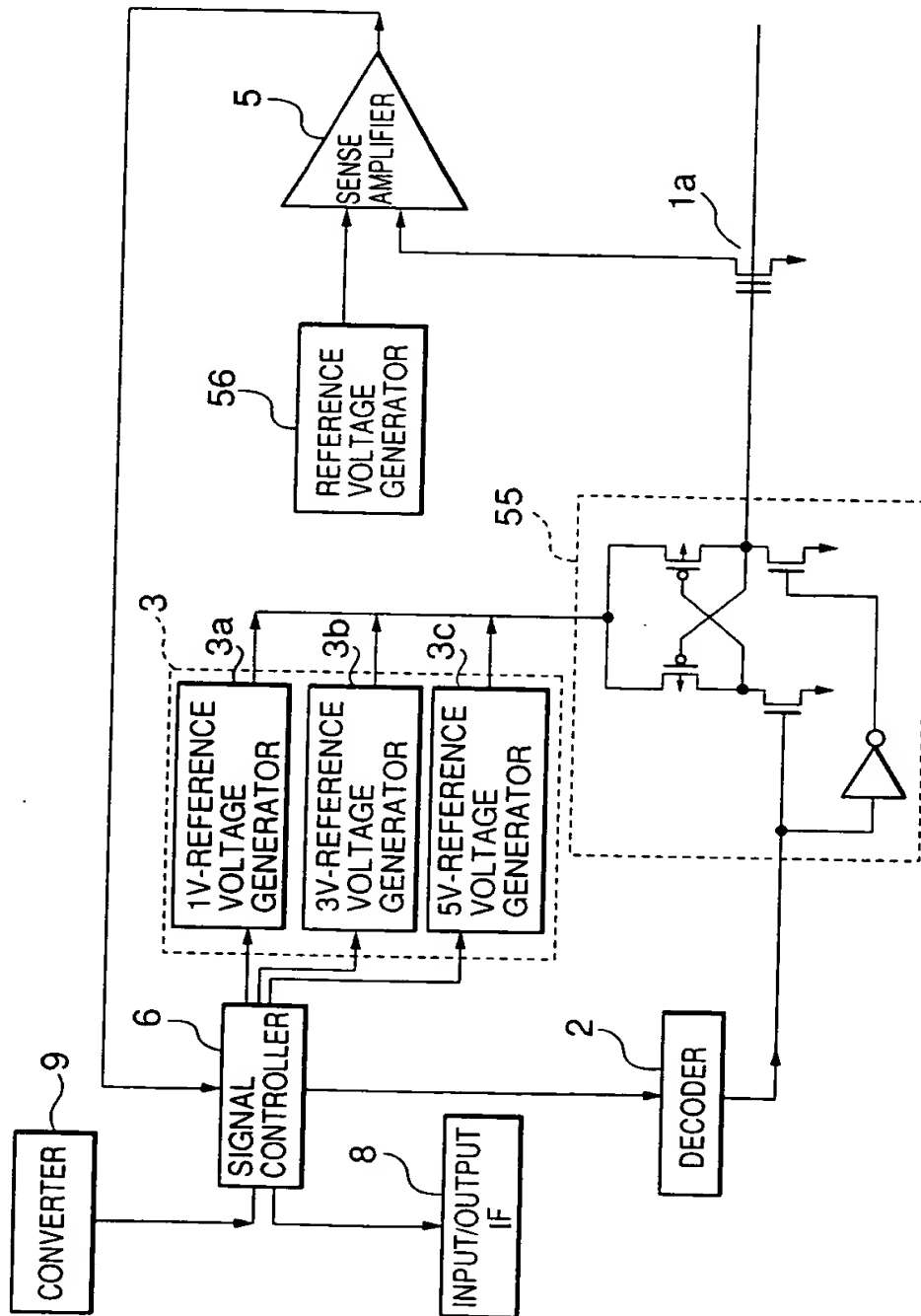


FIG.9

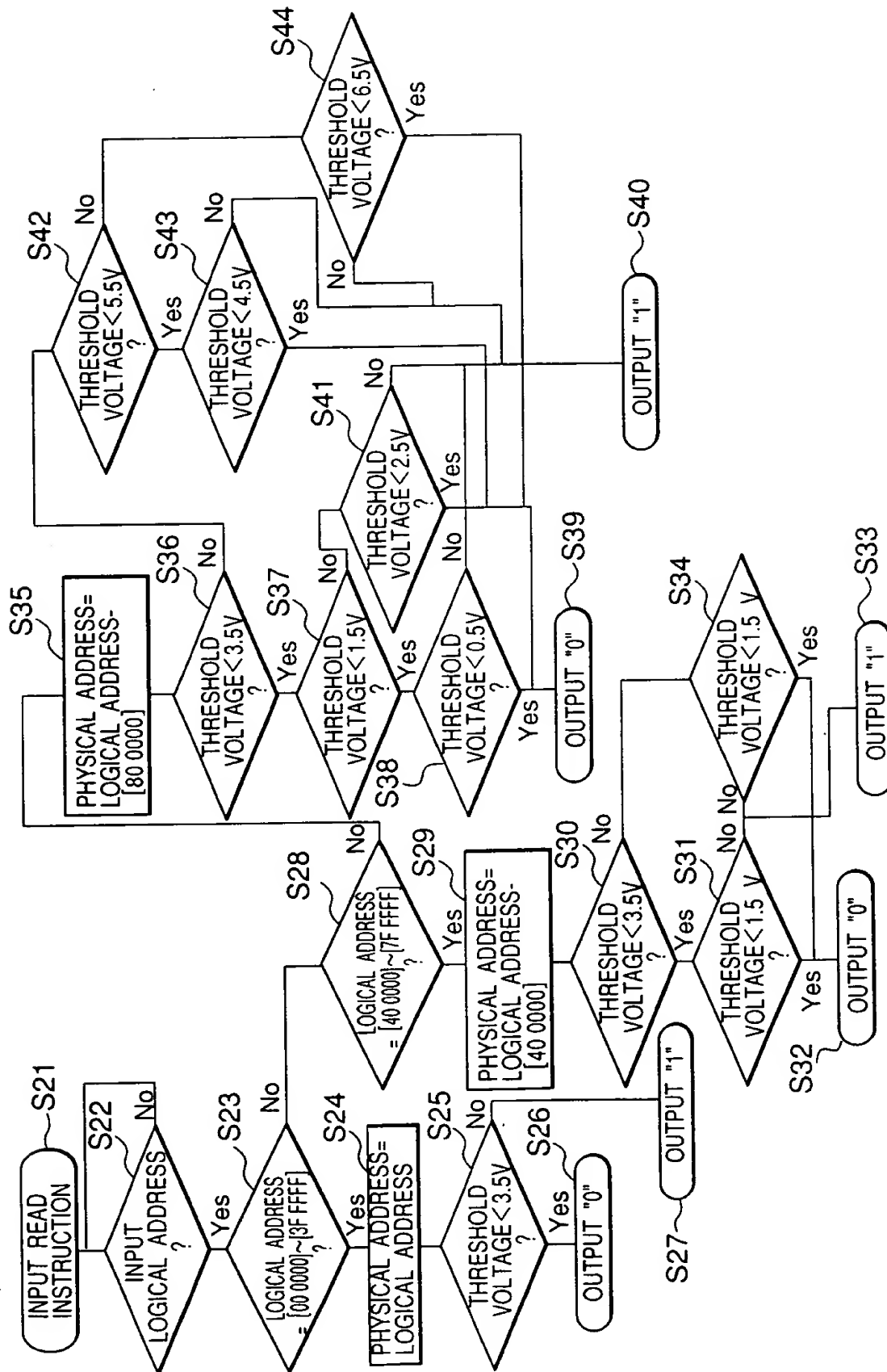


FIG10

